

Family list

1 family member for:

JP2003282435

Derived from 1 application.

**1 FORMATION METHOD FOR CRYSTALLINE SEMICONDUCTOR FILM, THIN-FILM
TRANSISTOR, AND SEMICONDUCTOR DEVICE**

Publication info: **JP2003282435 A** - 2003-10-03

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

07788521 **Image available**

FORMATION METHOD FOR CRYSTALLINE SEMICONDUCTOR FILM, THIN-FILM
TRANSISTOR,
AND SEMICONDUCTOR DEVICE

PUB. NO.: **2003-282435** [JP 2003282435 A]
PUBLISHED: October 03, 2003 (20031003)
INVENTOR(s): SHIBATA HIROSHI
 MAEKAWA SHINJI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 2002-079291 [JP 200279291]
FILED: March 20, 2002 (20020320)
INTL CLASS: H01L-021/20; G02F-001/1368; H01L-021/322; H01L-021/336;
 H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide a method for obtaining sufficient crystallinity even if a metal element for accelerating crystallinity is doped at a concentration lower than a conventional cases in the crystallization of an amorphous semiconductor film.

SOLUTION: The amorphous semiconductor film 104 is used as the amorphous semiconductor film for accelerating crystallization, where the amorphous semiconductor film 104 that a crystalline nucleus can be easily generated is known, namely, nucleus generation density is high, and has a high oxygen concentration contained in the film. The amorphous semiconductor film 101 is used as the amorphous semiconductor film set to be a crystalline semiconductor film used last in the active layer of a TFT by the crystallization; the amorphous semiconductor film 101 is used which is known for the size of a crystal particle formed in the crystallization being large and has a low oxygen concentration contained in the film.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-282435

(P 2 0 0 3 - 2 8 2 4 3 5 A)

(43) 公開日 平成15年10月3日(2003.10.3)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/20		H01L 21/20	2H092
G02F 1/1368		G02F 1/1368	5F052
H01L 21/322		H01L 21/322	J 5F110
21/336		29/78	612 B
29/786			627 G

審査請求 未請求 請求項の数15 O L (全24頁) 最終頁に続く

(21) 出願番号 特願2002-79291 (P 2002-79291)

(22) 出願日 平成14年3月20日(2002.3.20)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 柴田 寛

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 前川 慎志

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

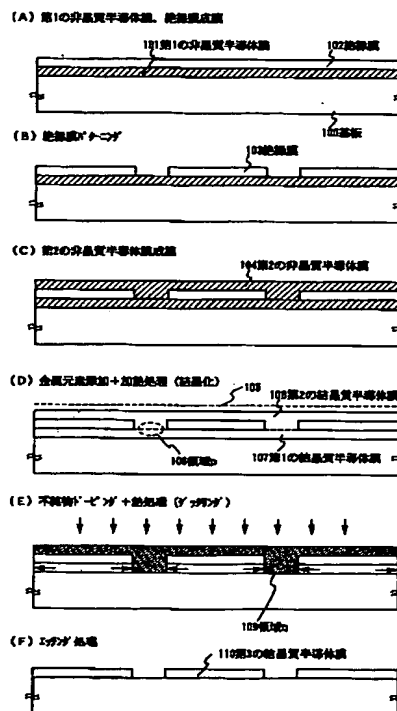
最終頁に続く

(54) 【発明の名称】 結晶質半導体膜の作製方法、薄膜トランジスタおよび半導体装置

(57) 【要約】 (修正有)

【課題】 非晶質半導体膜の結晶化において、結晶化を助長する金属元素を従来よりも低濃度で添加した場合においても十分な結晶化が得られる方法を提供する。

【解決手段】 結晶化を促進するための非晶質半導体膜として、結晶核が発生しやすい(すなわち、核発生密度が高い)ことで知られている膜中酸素濃度の高い非晶質半導体膜104を用い、結晶化により最終的にTFTの活性層に用いられる結晶質半導体膜となる非晶質半導体膜には、結晶化の際に形成される結晶粒径が大きいことで知られている膜中酸素濃度の低い非晶質半導体膜101を用いる。



【特許請求の範囲】

【請求項 1】絶縁表面上に膜中の酸素濃度が 1×10^{18} atoms/cm³ 未満である第 1 の非晶質半導体膜を形成し、

前記第 1 の非晶質半導体膜上に絶縁膜を形成し、
前記酸化珪素膜の一部を除去することにより前記第 1 の非晶質半導体膜の一部を露出させ、前記絶縁膜および露出した前記第 1 の非晶質半導体膜上に膜中の酸素濃度が $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm³ である第 2 の非晶質半導体膜を形成し、
前記第 2 の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、
前記第 2 の非晶質半導体膜中に結晶核を発生させ、
前記結晶核を成長させることにより前記第 1 の非晶質半導体膜および前記第 2 の非晶質半導体膜をそれぞれ結晶化させ、第 1 の結晶質半導体膜および第 2 の結晶質半導体膜を形成し、
前記第 2 の結晶質半導体膜上に不純物を添加することにより、前記第 1 の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、
前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、
前記不純物添加領域を除去することにより前記第 1 の結晶質半導体膜に含まれる金属元素を除去することを特徴とする結晶質半導体膜の作製方法。

【請求項 2】絶縁表面上に膜中の酸素濃度が 1×10^{18} atoms/cm³ 未満である第 1 の非晶質半導体膜を形成し、
前記第 1 の非晶質半導体膜上に絶縁膜を形成し、
前記絶縁膜の一部を除去することにより前記第 1 の非晶質半導体膜の一部を露出させた後で、水素、窒素、アンモニアおよび希ガス元素から選ばれた一種または複数種を主成分とする気体をプラズマ化させた雰囲気中に曝し、
前記絶縁膜および露出した前記第 1 の非晶質半導体膜上に膜中の酸素濃度が $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm³ である第 2 の非晶質半導体膜を形成し、
前記第 2 の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、
前記第 2 の非晶質半導体膜中に結晶核を発生させ、
前記結晶核を成長させることにより前記第 1 の非晶質半導体膜および前記第 2 の非晶質半導体膜をそれぞれ結晶化させ、第 1 の結晶質半導体膜および第 2 の結晶質半導体膜を形成し、
前記第 2 の結晶質半導体膜上に不純物を添加することにより、前記第 1 の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、
前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、
前記不純物添加領域を除去することにより前記第 1 の結

晶質半導体膜に含まれる金属元素を除去することを特徴とする結晶質半導体膜の作製方法。

【請求項 3】絶縁表面上に第 1 の非晶質半導体膜を形成し、

前記第 1 の非晶質半導体膜上に絶縁膜を形成し、
前記絶縁膜の一部を除去することにより前記第 1 の非晶質半導体膜の一部を露出させ、前記絶縁膜および露出した前記第 1 の非晶質半導体膜上に核発生密度の高い第 2 の非晶質半導体膜を形成し、
10 前記第 2 の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、
前記第 2 の非晶質半導体膜中に結晶核を発生させ、
前記結晶核を成長させることにより前記第 1 の非晶質半導体膜および前記第 2 の非晶質半導体膜をそれぞれ結晶化させ、第 1 の結晶質半導体膜および第 2 の結晶質半導体膜を形成し、
前記第 2 の結晶質半導体膜上に不純物を添加することにより、前記第 1 の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、
20 前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、
前記不純物添加領域を除去することにより前記第 1 の結晶質半導体膜に含まれる金属元素を除去することを特徴とする結晶質半導体膜の作製方法。

【請求項 4】絶縁表面上に第 1 の非晶質半導体膜を形成し、

前記第 1 の非晶質半導体膜上に絶縁膜を形成し、
前記絶縁膜の一部を除去することにより前記第 1 の非晶質半導体膜の一部を露出させた後で、水素、窒素、アンモニアおよび希ガス元素から選ばれた一種または複数種を主成分とする気体をプラズマ化させた雰囲気中に曝し、
前記絶縁膜および露出した前記第 1 の非晶質半導体膜上に核発生密度の高い第 2 の非晶質半導体膜を形成し、
前記第 2 の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、
前記第 2 の非晶質半導体膜中に結晶核を発生させ、
前記結晶核を成長させることにより前記第 1 の非晶質半導体膜および前記第 2 の非晶質半導体膜をそれぞれ結晶化させ、第 1 の結晶質半導体膜および第 2 の結晶質半導体膜を形成し、
前記第 2 の結晶質半導体膜上に不純物を添加することにより、前記第 1 の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、
前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、
前記不純物添加領域を除去することにより前記第 1 の結晶質半導体膜に含まれる金属元素を除去することを特徴とする結晶質半導体膜の作製方法。

【請求項 5】絶縁表面上に第 1 の非晶質半導体膜を減圧

CVD法により形成し、

前記第1の非晶質半導体膜上に絶縁膜を形成し、

前記絶縁膜の一部を除去することにより前記第1の非晶質半導体膜の一部を露出させ、前記絶縁膜および露出した前記第1の非晶質半導体膜上に第2の非晶質半導体膜をプラズマCVD法により形成し、

前記第2の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、

前記第2の非晶質半導体膜中に結晶核を発生させ、

前記結晶核を成長させることにより前記第1の非晶質半導体膜および前記第2の非晶質半導体膜をそれぞれ結晶化させ、第1の結晶質半導体膜および第2の結晶質半導体膜を形成し、

前記第2の結晶質半導体膜上に不純物を添加することにより、前記第1の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、

前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、

前記不純物添加領域を除去することにより前記第1の結晶質半導体膜に含まれる金属元素を除去することの特徴とする結晶質半導体膜の作製方法。

【請求項6】絶縁表面上に第1の非晶質半導体膜を減圧CVD法により形成し、

前記第1の非晶質半導体膜上に絶縁膜を形成し、

前記絶縁膜の一部を除去することにより前記第1の非晶質半導体膜の一部を露出させた後で、水素、窒素、アンモニアおよび希ガス元素から選ばれた一種または複数種を主成分とする気体をプラズマ化させた雰囲気中に曝し、

前記絶縁膜および露出した前記第1の非晶質半導体膜上に第2の非晶質半導体膜をプラズマCVD法により形成し、

前記第2の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、

前記第2の非晶質半導体膜中に結晶核を発生させ、

前記結晶核を成長させることにより前記第1の非晶質半導体膜および前記第2の非晶質半導体膜をそれぞれ結晶化させ、第1の結晶質半導体膜および第2の結晶質半導体膜を形成し、

前記第2の結晶質半導体膜上に不純物を添加することにより、前記第1の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、

前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、

前記不純物添加領域を除去することにより前記第1の結晶質半導体膜に含まれる金属元素を除去することの特徴とする結晶質半導体膜の作製方法。

【請求項7】絶縁表面上に第1の非晶質半導体膜を減圧CVD法により形成し、

前記第1の非晶質半導体膜上に絶縁膜を形成し、

前記絶縁膜の一部を除去することにより前記第1の非晶質半導体膜の一部を露出させ、前記絶縁膜および露出した前記第1の非晶質半導体膜上に核発生密度の高い第2の非晶質半導体膜をプラズマCVD法により形成し、前記第2の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、

前記第2の非晶質半導体膜中に結晶核を発生させ、

前記結晶核を成長させることにより前記第1の非晶質半導体膜および前記第2の非晶質半導体膜をそれぞれ結晶化させ、第1の結晶質半導体膜および第2の結晶質半導体膜を形成し、

前記第2の結晶質半導体膜上に不純物を添加することにより、前記第1の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、

前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、

前記不純物添加領域を除去することにより前記第1の結晶質半導体膜に含まれる金属元素を除去することの特徴とする結晶質半導体膜の作製方法。

【請求項8】絶縁表面上に第1の非晶質半導体膜を減圧CVD法により形成し、

前記第1の非晶質半導体膜上に絶縁膜を形成し、

前記絶縁膜の一部を除去することにより前記第1の非晶質半導体膜の一部を露出させた後で、水素、窒素、アンモニアおよび希ガス元素から選ばれた一種または複数種を主成分とする気体をプラズマ化させた雰囲気中に曝し、

前記絶縁膜および露出した前記第1の非晶質半導体膜上に核発生密度の高い第2の非晶質半導体膜をプラズマCVD法により形成し、

前記第2の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、

前記第2の非晶質半導体膜中に結晶核を発生させ、

前記結晶核を成長させることにより前記第1の非晶質半導体膜および前記第2の非晶質半導体膜をそれぞれ結晶化させ、第1の結晶質半導体膜および第2の結晶質半導体膜を形成し、

前記第2の結晶質半導体膜上に不純物を添加することにより、前記第1の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、

前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、

前記不純物添加領域を除去することにより前記第1の結晶質半導体膜に含まれる金属元素を除去することの特徴とする結晶質半導体膜の作製方法。

【請求項9】請求項3乃至請求項8のいずれか一において、

前記第1の非晶質半導体膜は、膜中の酸素濃度が 1×10^{18} atoms/cm³未満であり、

前記第2の非晶質半導体膜は、膜中の酸素濃度が 1×1

$0^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ であることを特徴とする結晶質半導体膜の作製方法。

【請求項 1 0】請求項 1 乃至請求項 9 のいずれかにおいて、

前記第 2 の非晶質半導体膜中に発生した結晶核を成長させることにより結晶化された前記第 1 の結晶質半導体膜は、膜中に含まれる前記結晶化を助長する金属元素の濃度が $2 \times 10^{18} \text{ atoms/cm}^3$ 以下であることを特徴とする結晶質半導体膜の作製方法。

【請求項 1 1】請求項 1 乃至請求項 1 0 のいずれかにおいて、

前記結晶化を助長する金属元素は、Fe、Cu、Co、Ni、Pd、Pt、Au、から選ばれた一種または複数種であることを特徴とする結晶質半導体膜の作製方法。

【請求項 1 2】シリコンを主成分とする半導体膜において、

反射電子回折パターン法で検出される { 1 1 1 } 格子面の半導体膜の表面となす角が 5° 以内である割合が 6 0 % 以上であることを特徴とする半導体膜。

【請求項 1 3】シリコンを主成分とし、膜中の酸素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満である半導体膜において、

反射電子回折パターン法で検出される { 1 1 1 } 格子面の半導体膜の表面となす角が 5° 以内である割合が 6 0 % 以上であることを特徴とする半導体膜。

【請求項 1 4】反射電子回折パターン法で検出される { 1 1 1 } 格子面の半導体膜の表面となす角が 5° 以内である割合が 6 0 % 以上である半導体膜からなるチャネル形成領域と、

前記半導体膜に不純物を添加して形成されたソース領域およびドレイン領域と、

前記半導体膜と接して形成されたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記チャネル形成領域に重なる位置に形成されたゲート電極と、

前記ソース領域および前記ドレイン領域と、それぞれ接して形成されたソース電極およびドレイン電極とを有することを特徴とする薄膜トランジスタ。

【請求項 1 5】請求項 1 4 において、

前記薄膜トランジスタを駆動回路または画素部に用いたことを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、非晶質半導体膜を結晶化し、配向率の高い結晶質半導体膜を作製する方法に関する。さらに、上記結晶質半導体膜を用いて作製された薄膜トランジスタおよび薄膜トランジスタで構成された回路を有する半導体装置もその範疇に含めるものとする。

【 0 0 0 2 】

【従来の技術】近年、絶縁表面を有する基板上に形成さ

れた半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成し、この TFT で形成した大面積集積回路を有する半導体装置の開発が進んでいる。半導体装置の代表例として液晶表示装置や発光装置などが知られている。

【 0 0 0 3 】 TFT の活性層を形成する半導体薄膜として、これまで非晶質シリコン膜（典型的にはアモルファスシリコン膜）が多用されてきたが、より動作速度の速い TFT の需要が高まり結晶質シリコン膜（典型的にはポリシリコン膜）が主流になりつつある。この結晶質シリコン膜を得る技術としては、非晶質シリコン膜を成膜した後、加熱処理またはレーザー光の照射によって結晶化させる方法がよく用いられている。

【 0 0 0 4 】 また、非晶質シリコン膜を成膜した後、非晶質シリコン膜の結晶化を助長させるための触媒元素（例えばニッケル）を導入し、加熱処理を行って結晶質シリコン膜を得る技術（特開平 6 - 2 3 2 0 5 9 号、特開平 7 - 3 2 1 3 3 9 号）が開示されている。この技術により得られる結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合されるため、結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構造を有する。つまり、実質的に結晶粒界が存在しない結晶質シリコン膜を形成することができる。

【 0 0 0 5 】 さらに上記結晶質シリコン膜を活性層に用いて形成した TFT においては、特願 2 0 0 0 - 3 3 2 2 4 9 号公報において、（1）スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、N チャネル型 TFT および P チャネル型 TFT とともに小さい。（2）TFT の動作速度の指標となる電界効果移動度（ μ_{FE} ）が、N チャネル型 TFT および P チャネル型 TFT とともに大きい。（3）TFT の駆動電圧の指標となるしきい値電圧（ V_{th} ）が、N チャネル型 TFT および P チャネル型 TFT とともに小さい。といった優れた電気特性が得られている。

【 0 0 0 6 】 しかし、上記技術を実施する上で、非晶質シリコン膜に添加される結晶化を助長する金属元素は、最低限の必要量が添加されないと完全な結晶質シリコン膜が得られないという問題を有する一方で、過剰に添加されると結晶化後における除去が困難であり、結晶化を助長する金属元素を高濃度に存在する領域をエッチング等によって除去しても、完全に除去することができず、結晶質シリコン膜中に残留する結晶化を助長する金属元素が TFT の特性を悪化させるといった相反する問題を有していた。

【 0 0 0 7 】

【発明が解決しようとする課題】そこで、上記課題を解決すべく本発明では、非晶質半導体膜の結晶化において、結晶化を助長する金属元素を従来よりも低濃度で添加した場合においても十分な結晶化が得られる方法を提

供することを目的とする。

【0008】さらに、本発明の結晶化方法により得られる結晶質半導体膜が、従来の結晶化方法により得られた結晶質半導体膜に比べて電気特性に優れたものとなることを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明者は、結晶化を促進するための非晶質半導体膜として、結晶核が発生しやすい（すなわち、核発生密度が高い）ことで知られている膜中酸素濃度の高い非晶質半導体膜を用い、結晶化により最終的に T F T の活性層に用いられる結晶質半導体膜となる非晶質半導体膜には、結晶化の際に形成される結晶粒径が大きいことで知られている膜中酸素濃度の低い非晶質半導体膜を用いることを特徴とする。

【0010】なお、本発明では、膜中の酸素濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ である非晶質半導体膜を膜中酸素濃度の高い膜とし、膜中の酸素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満である非晶質半導体膜を膜中酸素濃度の低い膜として区別する。

【0011】また、本発明において、膜中酸素濃度の高い膜と、膜中酸素濃度の低い膜とを接して形成し、膜中酸素濃度の高い非晶質半導体膜に結晶化を助長する金属元素を添加することにより、はじめに膜中酸素濃度の高い非晶質半導体膜の結晶化を行う。なお、結晶化の際には、結晶化を助長する金属元素を添加した後で、加熱処理を行う。また、膜中酸素濃度の高い非晶質半導体膜は、膜中酸素濃度の高い非晶質半導体膜と接して形成されるため、膜中酸素濃度の高い非晶質半導体膜の結晶化とともに結晶化される。

【0012】さらに、本発明においては、膜中酸素濃度の高い非晶質半導体膜と、膜中酸素濃度の低い非晶質半導体膜とが完全に接して形成されるのではなく、一部において接する構造を有する。すなわち、はじめに膜中酸素濃度の低い非晶質半導体膜が形成された後、その一部を覆うように絶縁膜を形成する。次に絶縁膜および、これに覆われない膜中酸素濃度の低い非晶質半導体膜上に膜中酸素濃度の高い非晶質半導体膜を形成する。そして、先に説明したように膜中酸素濃度の高い非晶質半導体膜および膜中酸素濃度の低い非晶質半導体膜が結晶化される。

【0013】なお、ここで形成される絶縁膜は、膜中酸素濃度の低い非晶質半導体膜を結晶化して得られた結晶質半導体膜中に存在する金属元素を除去する際に、ゲッタリング領域を形成するための不純物添加時のマスクとしての機能を有する。さらに、結晶化及びゲッタリング終了後、金属元素が除去された結晶質半導体膜のみを残してエッチングする際のエッチングストッパーとしても機能を有する。

【0014】すなわち、結晶化が終了したところで、先

に形成した絶縁膜をマスクとして、膜中酸素濃度の高い非晶質半導体膜上から不純物をドーピングする。これにより、膜中酸素濃度の低い非晶質半導体膜で形成された結晶性半導体膜の一部にも不純物を添加することができる。

【0015】不純物を添加した後で、加熱処理を行うことにより絶縁膜に覆われている結晶性半導体膜中に含まれている結晶化を助長する金属元素を不純物添加領域に移動させることができる。

【0016】その後、結晶化された結晶質半導体膜であって、不純物がドーピングされた領域のエッチングにおいては、絶縁膜および絶縁膜に覆われた結晶質半導体膜以外を選択的に除去することができ、さらに、絶縁膜をエッチングすることにより所望の結晶質半導体膜を得ることができる。

【0017】なお、本発明で開示する作製方法に関する発明は、絶縁表面上に膜中の酸素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満である第1の非晶質半導体膜を形成し、前記第1の非晶質半導体膜上に絶縁膜を形成し、前記絶縁膜の一部を除去することにより前記第1の非晶質半導体膜の一部を露出させ、前記絶縁膜および露出した前記第1の非晶質半導体膜上に膜中の酸素濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ である第2の非晶質半導体膜を形成し、前記第2の非晶質半導体膜上に結晶化を助長する金属元素を添加して加熱することにより、前記第2の非晶質半導体膜中に結晶核を発生させ、前記結晶核を成長させることにより前記第1の非晶質半導体膜および前記第2の非晶質半導体膜をそれぞれ結晶化させ、第1の結晶質半導体膜および第2の結晶質半導体膜を形成し、前記第2の結晶質半導体膜上に不純物を添加することにより、前記第1の結晶質膜の一部にも前記絶縁膜をマスクとして前記不純物を添加し、前記不純物を添加した後で加熱により前記金属元素を不純物添加領域に移動させ、前記不純物添加領域を除去することにより前記第1の結晶質半導体膜に含まれる金属元素を除去することを特徴とする結晶質半導体膜の作製方法である。

【0018】なお、上記構成において、膜中酸素濃度の高い非晶質半導体膜をプラズマ C V D 法により形成し、膜中酸素濃度の低い非晶質半導体膜を減圧 C V D (L P C V D) 法により形成することができる。

【0019】また、上記構成において、膜中酸素濃度の低い非晶質半導体膜を形成し、その一部を覆って絶縁膜を形成した後で、水素、窒素、アンモニアおよび希ガス元素から選ばれた一種または複数種を主成分とする気体をプラズマ化させた雰囲気に曝すことで、膜中酸素濃度の低い非晶質半導体膜の表面に形成された自然酸化膜を除去することは、膜中酸素濃度の低い非晶質半導体膜の結晶化をより促進させるために好ましい手段である。

【0020】さらに、上記各構成において、前記結晶化

を助長する金属元素は、Fe、Cu、Co、Ni、Pd、Pt、Au、から選ばれた一種または複数種である。

【0021】以上に示す方法を用いることで、結晶質半導体膜を形成する上で膜特性に優れた膜中酸素濃度の低い非晶質半導体膜からなる結晶質半導体膜を形成することができると共に、結晶化においては、結晶性に優れた膜中酸素濃度の高い非晶質半導体膜を用いて結晶化を促進させることから、結晶化の際に添加される結晶化を助長する金属元素の濃度を低減させることが可能となる。

【0022】

【発明の実施の形態】本発明の実施の形態について、図1を用いて説明する。

【0023】本発明では、絶縁表面を有する基板100上に膜中酸素濃度の低い非晶質半導体膜（第1の非晶質半導体膜）101をLPCVD法により形成する。なお、成膜の際には、 SiH_4 、 Si_2H_6 、 SiF_4 もしくは SiH_4 と H_2 と GeH_4 から成る反応ガスを加えて反応室に導入し、必要であればHeで反応ガスを希釈して、400～580℃の温度で基板上に非晶質半導体膜を堆積させて形成する。これにより、膜中酸素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満である第1の非晶質半導体膜101を形成することができる。具体的には、反応室において、温度を465℃とし、成膜圧力を0.5 Torrとして、反応ガス（ Si_2H_6 ：250 sccm）および希釈ガス（He：300 sccm）を導入し、被成膜面を有する基板間隔が25.4mmとなるようにして成膜することにより、成膜速度が7 nm/minであり、膜中酸素濃度が $2 \times 10^{17} \text{ atoms/cm}^3$ である非晶質半導体膜が得られた。なお、ここで示す条件は本発明の実施形態の一例であって、本発明を限定するものではない。従って、膜中の酸素濃度を $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすることが可能であれば、上記条件を変更したり、他の公知の方法を用いて実施することもできる。

【0024】なお、ここで用いる上記ガスは、堆積される非晶質半導体膜に取り込まれる酸素、窒素、炭素などの不純物元素の濃度を低減するために高純度に精製されたものを用いる。堆積される非晶質半導体膜の厚さは20～100 nmの範囲とする。

【0025】また、基板材料としては、石英基板やガラス基板等を用いることができる。また、ここで形成される膜中酸素濃度の低い非晶質半導体膜は、膜中の酸素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満である非晶質半導体膜である。

【0026】次に、膜中酸素濃度の低い非晶質半導体膜の一部を覆って、絶縁膜102を形成する。なお、ここで形成される絶縁膜102としては、プラズマCVD法又はLPCVD法により形成される酸化珪素膜、窒化珪素膜、または酸化窒化珪素膜といった珪素を含む絶縁膜

を用いることができる。また、成膜後にフォトリソグラフィによるパターンニングを行い、エッチングすることにより膜中酸素濃度の低い非晶質半導体膜の一部を覆う島状の絶縁膜103を形成する。

【0027】なお、この状態で水素、窒素、アンモニアおよび希ガス元素から選ばれた一種または複数種を主成分とする気体をプラズマ化させた雰囲気に曝すことで、膜中酸素濃度の低い第1の非晶質半導体膜101の表面に形成された自然酸化膜を除去してもよい。

【0028】次に、プラズマCVD法により膜中酸素濃度の高い非晶質半導体膜（第2の非晶質半導体膜）104を膜中酸素濃度の低い第1の非晶質半導体膜101の一部、および絶縁膜103上に形成する。なお、成膜の際には、 SiH_4 、 Si_2H_6 、 SiF_4 もしくは SiH_4 と H_2 と GeH_4 から成る反応ガスを加えて反応室に導入し、1～200 MHzの高周波放電により分解し基板上に非晶質半導体膜を堆積させ形成する。以上により、膜中酸素濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ である第2の非晶質半導体膜104を形成することができる。具体的には、反応室において、上部ヒーターを300℃、下部ヒーターを365℃とし、成膜圧力を0.25 Torrとして、反応ガス（ SiH_4 ：100 sccm）を導入し、RF電力を170 W（周波数：10 KHz、パルス：デューティー比30%）、Gapが25 mmとなるようにして成膜することにより、成膜速度が50 nm/minであり、膜中酸素濃度が $4 \times 10^{18} \text{ atoms/cm}^3$ である非晶質半導体膜が得られた。なお、ここで示す条件は本発明の実施形態の一例であって、本発明を限定するものではない。従って、膜中の酸素濃度を $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ とすることが可能であれば、上記条件を変更したり、酸素または、酸素を成分に含むガス（ O_2 、 N_2O 等）を反応ガスと共に反応室中に少量導入してもよい。

【0029】なお、堆積される非晶質半導体膜の厚さは20～100 nmの範囲とする。

【0030】次に、膜中酸素濃度の高い第2の非晶質半導体膜104上に結晶化を助長する金属元素105を添加する。金属元素105としては、Fe、Cu、Co、Ni、Pd、Pt、Au、等を用いることができる。なお、本実施の形態では重量換算で5 ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布することにより金属元素306を添加するが、塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。

【0031】次いで、これらを加熱処理することにより結晶化させて結晶構造を有する結晶質半導体膜を形成する。この加熱処理は、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、500℃～650℃で4～24時間処理を行えばよい。なお、本実施例では、結晶化のための熱処理（570℃、24

時間)を行うことにより非晶質半導体膜(第1の非晶質半導体膜101、第2の非晶質半導体膜104)の結晶化を行う。

【0032】なお、結晶化を助長する金属元素105の添加方法としては、金属元素を含む溶液を塗布する方法でも良いし、スパッタ法やCVD法で薄い膜を形成する方法でも良い。また、第1の非晶質半導体膜101は、領域p(106)において、金属元素が直接添加された第2の非晶質半導体膜104と接して形成されているため、結晶化させることができる。すなわち、結晶化により、第1の非晶質半導体膜101は、第1の結晶質半導体膜107となり、第2の非晶質半導体膜104は、第2の結晶質半導体膜108となる。

【0033】なお、本発明において、最終的に必要とされる結晶質半導体膜は、第1の結晶質半導体膜107である。そのため、結晶化の際に添加された結晶化を助長する金属元素105を結晶化後に除去するのが望ましい。そこで、本発明においては、第1の結晶質半導体膜107に存在する金属元素を除去するために不純物を添加してゲッタリングを行う。

【0034】具体的には、第2の結晶質半導体膜108上にリンまたは希ガス(代表的にはアルゴン)を添加する。なお、この時、絶縁膜103をマスクとして第1の結晶質半導体膜107の一部である領域q(109)にもリンまたは希ガス(代表的にはアルゴン)が $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ 程度の濃度で添加される。ここで、熱処理を行うことにより第1の結晶質半導体膜107中に存在する金属元素(代表的にはNi)が領域q(109)に移動するため第1の結晶質半導体膜107中に存在する金属元素を除去することができる。

【0035】次に、絶縁膜103で覆われた部分の第1の結晶質半導体膜107を残し、結晶化された結晶質半導体膜をエッチングして除去する。さらに、絶縁膜103を除去することにより金属元素を含まない第3の結晶質半導体膜110を得ることができる。なお、ここで得られた第3の結晶質半導体膜110は、従来の結晶質半導体膜に比べて、結晶化に用いる金属元素を低濃度で行うことができるのでゲッタリング前に膜中に存在する金属元素量が少ないため、ゲッタリングによる金属元素の除去も従来の結晶化の場合よりも容易である。

【0036】なお、本発明の特徴は、2種類の非晶質半導体膜を用いて結晶化を行い、第1の非晶質半導体膜として膜中酸素濃度が低く、粒径の大きな結晶質半導体膜が得られる非晶質半導体膜を用い、第2の非晶質半導体膜として、膜中酸素濃度が高く結晶核の発生しやすい

(核発生密度の高い)非晶質半導体膜を第1の非晶質半導体膜と接して形成することにより、第2の非晶質半導体膜を結晶化を促進させるために機能させ、第1の非晶質半導体膜を結晶化することの特徴とする。

【0037】なお、ここで、膜中酸素濃度の異なるシリコンを主成分とした非晶質半導体膜を結晶化した場合における結晶質半導体膜の様子を図2に示す。なお、図2(A)には、膜中酸素濃度が $3 \times 10^{17} \text{ atoms/cm}^3$ の非晶質半導体膜を結晶化した際の結晶質半導体膜、図2(B)には、膜中酸素濃度が $9 \times 10^{17} \text{ atoms/cm}^3$ の非晶質半導体膜を結晶化した結晶質半導体膜の光学顕微鏡写真を示す。なお、これにより膜中酸素濃度の低い非晶質半導体膜を結晶化して得られた膜は、膜中酸素濃度の高い非晶質半導体膜を結晶化した結晶質半導体膜に比べて結晶粒径が大きくなっている様子が確認される。なお、膜中に最も多く含まれる水素は、いずれの膜の場合も同濃度($5 \times 10^{18} \text{ atoms/cm}^3$)含まれていた。

【0038】通常、結晶粒の界面(結晶粒界)には、非晶質構造や結晶欠陥などに起因する再結合中心や捕獲中心や結晶粒界におけるポテンシャル準位の影響により、キャリアの電流輸送特性が低下する原因があるため、チャネル形成領域に結晶粒界が存在すると、TFETの特性を制限することが知られており、これを解決する手段の一つとして結晶粒径を大きくする方法があることから本発明における結晶質半導体膜は、TFET特性を向上させる上で非常に優れた膜であるといえることができる。

【0039】さらに、本発明は、結晶化の際に添加される結晶化を助長する金属元素が従来よりも低減されることを特徴としている。具体的には、LPCVD法により成膜された非晶質半導体膜を結晶化する場合(従来法)には、10ppmのNi溶液の添加による結晶化で得られた結晶質半導体膜中に含まれるNi濃度が $5.56 \times 10^{18} \text{ atoms/cm}^3$ であるのに対し、本発明の場合には、プラズマCVD法により成膜された非晶質半導体膜上に10ppmのNi溶液を添加して結晶化を促進させ、さらにLPCVD法により成膜された非晶質半導体膜を結晶化するため、得られた結晶質半導体膜中に含まれるNi濃度は、 $2.66 \times 10^{18} \text{ atoms/cm}^3$ であり、非常に低濃度(従来の半分程度)になるという結果が得られた。

【0040】さらに、本発明において得られたシリコンを主成分とする結晶質半導体膜の表面の結晶方位についてEBSP(Electron BackScatter diffraction Pattern: 反射電子線回折パターン)法による測定を行った。

【0041】なお、EBSP法は、走査型電子顕微鏡(SEM: Scanning Electron Microscopy)に専用の検出器を設け、一次電子の後方散乱から結晶方位を分析する手法である(以下、この手法を便宜上EBSP法と呼ぶ)。具体的には、結晶構造を持った試料に電子線が入射することにより、後方に非弾性散乱が起こり、その中には試料中でブラッグ回折による結晶方位に特有の線状パターン(一般に菊池像と呼ばれる)も合わせて観察されるので、この菊池像を解析することにより試料の結晶方

位を求めるという手法である。

【0042】また、各結晶粒が異なった結晶方位を持っている多結晶構造の場合においては、試料に当てる電子線の位置を移動させつつ方位解析を繰り返す(マッピング測定)ことで、面状の試料について結晶方位または配向の情報を得ることができる。

【0043】マッピング測定により各結晶粒の結晶方位がすべて求まると、膜に対する結晶配向の状態を統計的に表示することができる。なお、多結晶構造を有する結晶体の配向分布を表示する図として逆極点図が多く用いられ、逆極点図からは、試料のある特定の面(例えば膜表面)が、どの格子面に優先配向しているかという情報

$$\text{配向率 (\%)} = \frac{\text{格子面と膜表面がなす角が許容値 (5^\circ) 以内の測定点の数}}{\text{測定点の全数}}$$

【0046】そこで、従来の結晶化法により得られたシリコンを主成分とする結晶質半導体膜(サンプル1)、本発明の結晶化方法により得られたシリコンを主成分とする結晶質半導体膜であって結晶化の際に3ppmのNi溶液を添加して得られた結晶質半導体膜(サンプル2)、本発明の結晶化方法により得られたシリコンを主成分とする結晶質半導体膜であって結晶化の際に30ppmのNi溶液を添加して得られた結晶質半導体膜(サンプル3)をそれぞれEBSP法により測定し、式1により求めた各サンプルを構成する特定の指数({100}、{110}、{111})における配向率(%)を表1に示す。

結晶質半導体膜中における結晶配向率(%)

	{100}	{110}	{111}
サンプル1(従来法による結晶化)	0	15	2
サンプル2(本発明による結晶化:3ppmNi添加)	0	5	74
サンプル3(本発明による結晶化:30ppmNi添加)	0	7	48

【0048】表1において、本発明の結晶化方法を用いて得られた結晶質半導体膜のうち3ppmのNi溶液を添加して得られた結晶質半導体膜(サンプル2)は、

{111}面における配向率が74.4%であった。このことは、反射電子回折パターン法で検出される{111}格子面の前記結晶質半導体膜の表面となす角が、5°以内である割合が74.4%であることを示している。また、このように高い配向率を示したサンプル2についての逆極点マップを図16に示す。

【0049】なお、このように非常に高い配向率(具体的には60%以上)が得られることにより、複数の結晶集合において、その配向が異なることにより生じる境界や、結晶集合のサイズの違いにより生じていたTF特性に対する影響を低減させ、TF間のバラツキを低減させることが可能となる。

【0050】例えば、画素部に配置されるTFに電気特性のバラツキがあれば、各画素電極に印加する電圧のバラツキが生じ、そのため透過光量のバラツキも生じ、これが表示むらとなって観察者の目に映ることになる。現在の時点では、このバラツキは許容範囲内であり、問題ない程度であるが、今後、画素サイズの微細化がさらに進み、より高精細な画像が求められた場合、このバラツキが非常に重大な問題になってくると考えられる。さらに配線幅の微小化するとともにチャンネル形成領域のサ

を得ることができる。

【0044】マッピング測定および逆極点図により、各格子面の特定の指数({100}、{110}、{111})において、その指数近傍にどの程度の結晶粒が集まっているか、その割合を数値化することで、各配向の存在比率をよりイメージしやすくなる。そこで、逆極点図において各格子面の特定の指数からのずれ角が5°の範囲(許容値)に存在する点数の全体に対するそれぞれの割合を各配向率として次式により求めて示すことができる。

【0045】

【式1】

pmのNi溶液を添加して得られた結晶質半導体膜(サンプル3)をそれぞれEBSP法により測定し、式1により求めた各サンプルを構成する特定の指数({100}、{110}、{111})における配向率(%)を表1に示す。

【0047】

【表1】

イズ(チャンネル長、チャンネル幅)が微小化するため、どうしても集合と集合との境界をチャンネル形成領域に有するTFも形成され、そのTF特性(移動度、S値、オン電流値、オフ電流値等)は境界のないチャンネル形成領域を有するTFと比べて差が生じ、それが表示のバラツキを招くと考えられることから、本発明の作製方法を用いて作製された結晶質半導体膜を用いてTFを作製することは非常に有効である。

【0051】

【実施例】以下に、本発明の実施例について説明する。

【0052】(実施例1)本実施例では石英基板(厚さ1.1mm)を用い、本発明を用いて結晶化された結晶質半導体膜を用いてTFを作製する方法について図3を用いて説明する。

【0053】なお、結晶質半導体膜の作製方法については、発明の実施の形態を参照すればよい。はじめに、本実施例では、結晶質半導体膜(発明の実施の形態で得られた第3の結晶質半導体膜110)上に新たに絶縁膜(酸化珪素膜)を形成し、熱処理を行うことにより結晶質半導体膜の上部を熱酸化させる。このような熱処理を行うことにより結晶内部の粒内欠陥を減少させることができるので、結晶質半導体膜の結晶性を向上させることができる。そして、絶縁膜および結晶質半導体膜の酸化した部分をエッチングすると共にパターニングを行い半

導体層 201 を形成する。

【0054】次に、半導体層 201 の表面をフッ酸を含むエッチャントで洗浄した後、ゲート絶縁膜 202 となる珪素を主成分とする絶縁膜を形成する。この表面洗浄とゲート絶縁膜の形成は、大気にふれさせずに連続的に行うことが望ましい（図 3（A））。

【0055】次に、ゲート絶縁膜 202 表面を洗浄した後、ゲート電極 203 を形成し（図 3（B））、半導体に n 型を付与する不純物元素（P、As 等）、ここではリンを適宜添加して、ソース領域 204 およびドレイン領域 205 を形成する（図 3（C））。そして、不純物元素を添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。このような処理を行うことにより、活性化と同時にゲート絶縁膜 202 へのプラズマダメージやゲート絶縁膜 202 と半導体層 201 との界面へのプラズマダメージを回復することができる。特に、室温～300℃の雰囲気中において、表面または裏面から YAG レーザーの第 2 高調波を照射して不純物元素を活性化させることは非常に有効である。YAG レーザーはメンテナンスが少ないため好ましい活性化手段である。

【0056】次に、層間絶縁膜 206 を形成し、水素化を行って、ソース領域、ドレイン領域に達するコンタクトホールを形成し、ソース電極 207、ドレイン電極 208 を形成して TFT を完成させる（図 3（D）（E））。

【0057】こうして得られた TFT は、チャネル形成領域 209 を形成する結晶質半導体膜の結晶粒径が大きく、また結晶の配向率も非常に高いことから、膜中の均一性が高く、基板上に形成された TFT 間のバラツキが小さい。

【0058】なお、本発明は図 3（D）の構造に限定されず、必要があればチャネル形成領域とドレイン領域（またはソース領域）との間に LDD 領域を有する低濃度ドレイン（LDD: Lightly Doped Drain）構造としてもよい。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域を LDD 領域と呼んでいる。さらにゲート絶縁膜を介して LDD 領域をゲート電極と重ねて配置させた、いわゆる GOLD（Gate-drain Overlapped LDD）構造としてもよい。

【0059】また、ここでは n チャネル型 TFT を用いて説明したが、n 型不純物元素に代えて p 型不純物元素を用いることによって p チャネル型 TFT を形成することもできる。

【0060】（実施例 2）本実施例では、実施の形態および実施例 1 と異なる方法を用いて非晶質半導体膜を結晶化する方法について図 4 を用いて説明する。

【0061】図 4（A）において、300 は、絶縁表面

を有する基板であり、本実施例では、ガラス基板を用いる。また、301 は下地絶縁膜であり、302 は非晶質構造を有する第 1 の非晶質半導体膜である。さらに、第 1 の非晶質半導体膜 302 上には島状の絶縁膜 303 が形成されている。

【0062】まず、基板 300 上にブロッキング層として酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地絶縁膜 301 を形成する。ここでは下地絶縁膜 301 として 2 層構造（膜厚 50 nm の酸化窒化シリコン膜、膜厚 100 nm の酸化窒化シリコン膜）を用いるが、単層膜または 2 層以上積層させた構造を用いても良い。ただし、ブロッキング層を設ける必要がない場合には下地絶縁膜を形成しなくともよい。

【0063】次いで、LPCVD 法を用いて、下地絶縁膜上に非晶質構造を有する第 1 の非晶質半導体膜 302 を形成する。なお、ここで形成される膜中酸素濃度の低い非晶質半導体膜は、膜中の酸素濃度が 1×10^{18} atoms/cm³ 未満である非晶質半導体膜である。また、非晶質半導体膜の材料としては珪素（シリコン）または、珪素ゲルマニウム（SiGe）合金などで形成することができる。

【0064】次に、膜中酸素濃度の低い非晶質半導体膜の一部を覆って、絶縁膜を形成する。なお、ここで形成される絶縁膜としては、酸化珪素膜、窒化珪素膜、または酸化窒化珪素膜といった珪素を含む絶縁膜を用いることができる。また、成膜後にフォトリソグラフィによるパターニングを行い、エッチングすることにより膜中酸素濃度の低い非晶質半導体膜の一部を覆う島状の絶縁膜 303 が形成される。

【0065】なお、この状態で水素、窒素、アンモニアおよび希ガス元素から選ばれた一種または複数種を主成分とする気体をプラズマ化させた雰囲気曝露することで、膜中酸素濃度の低い第 1 の非晶質半導体膜 302 の表面に形成された自然酸化膜を除去してもよい。

【0066】次に、プラズマ CVD 法により膜中酸素濃度の高い非晶質半導体膜（第 2 の非晶質半導体膜）304 を膜中酸素濃度の低い第 1 の非晶質半導体膜 302 の一部、および絶縁膜 303 上に形成し、膜中酸素濃度の高い第 2 の非晶質半導体膜 304 上に結晶化を助長する金属元素 305 を添加する。なお、本実施例では重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布することにより金属元素 305 を添加する（図 4（B））。

【0067】次いで、これらを加熱処理することにより結晶化させて結晶構造を有する結晶質半導体膜を形成する。この加熱処理は、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、500℃～650℃で 4～24 時間処理を行えばよい。なお、本実施例では、結晶化のための熱処理（550℃、4 時

間)を行うことにより非晶質半導体膜(第1の非晶質半導体膜302、第2の非晶質半導体膜305)の結晶化を行う。

【0068】なお、結晶化を助長する金属元素305の添加方法としては、金属元素を含む溶液を塗布する方法でも良いし、スパッタ法やCVD法で薄い膜を形成する方法でも良い。すなわち、結晶化により、第1の非晶質半導体膜302は、第1の結晶質半導体膜307となり、第2の非晶質半導体膜305は、第2の結晶質半導体膜308となる(図4(C))。

【0069】次に第1の結晶質半導体膜307に存在する金属元素を除去するために不純物を添加してゲッタリングを行う。具体的には、第2の結晶質半導体膜308上にリンまたは希ガス(代表的にはアルゴン)を添加する。なお、この時、絶縁膜303をマスクとして第1の結晶質半導体膜307の一部である領域r(309)にもリンまたは希ガス(代表的にはアルゴン)が $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm²程度の濃度で添加される。ここで、熱処理を行うことにより第1の結晶質半導体膜307中に存在する金属元素(代表的にはNi)305が領域r(309)に移動するため第1の結晶質半導体膜307中に存在する金属元素を除去することができる。

【0070】次に、絶縁膜303で覆われた部分の第1の結晶質半導体膜307を残し、結晶化された結晶質半導体膜をエッチングして除去する。さらに、絶縁膜303を除去することにより金属元素を含まない結晶質半導体膜を得ることができる(図4(D))。

【0071】さらに本実施例では、得られた結晶質半導体膜の表面に存在する酸化膜を希フッ酸等で除去した後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザー光(XeCl:波長308nm)の照射を大気中、または酸素雰囲気中で行う。なお、ここで用いるレーザーとしては、連続発振またはパルス発振の固体レーザーまたは気体レーザーまたは金属レーザーが望ましい。なお、前記固体レーザーとしては、連続発振またはパルス発振のYAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイアレーザー等があり、前記気体レーザーとしては、連続発振または、パルス発振のエキシマレーザー、Arレーザー、Krレーザー、CO₂レーザー等があり、前記金属レーザーとしては、連続発振またはパルス発振のヘリウムカドミウムレーザー、銅蒸気レーザー、金蒸気レーザーが挙げられる。また、レーザー光を非線形光学素子によって第2高調波、第3高調波に変換して用いてもよい。なお、パルス発振のレーザーを用いる場合には、繰り返し周波数10Hz~10KHz程度のパルスレーザー光を用い、当該レーザー光を光学系にて100~1500mJ/cm²に集光し、50~98%の

オーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。ここでは、繰り返し周波数30Hz、エネルギー密度393mJ/cm²でレーザー光の照射を大気中で行う。

【0072】また、連続発振のレーザーを用いる場合には、エネルギー密度は0.01~100MW/cm²程度(好ましくは、0.1~10MW/cm²)が必要である。そして、0.5~2000cm/s程度の速度でレーザー光に対して相対的にステージを動かして照射すればよい。

【0073】以上により、結晶化率の高い第3の結晶質半導体膜310を得ることができる。

【0074】次に、第3の結晶質半導体膜310をパターニングすることにより半導体層311を形成する。

【0075】次いで、半導体層311の表面をフッ酸を含むエッチャントで洗浄した後、ゲート絶縁膜312となる珪素を主成分とする絶縁膜を形成する。この表面洗浄とゲート絶縁膜312の形成は、大気にふれさせずに連続的に行うことが望ましい。

【0076】次いで、ゲート絶縁膜312の表面を洗浄した後、ゲート電極313を形成し、半導体にn型を付与する不純物元素(P、As等)、ここではリンを適宜添加して、ソース領域314及びドレイン領域315を形成する。添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。また、活性化と同時にゲート絶縁膜へのプラズマダメージやゲート絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。特に、室温~300℃の雰囲気中において、表面または裏面からYAGレーザーの第2高調波を照射して不純物元素を活性化させることは非常に有効である。YAGレーザーはメンテナンスが少ないため好ましい活性化手段である。

【0077】また、活性化の手段として熱処理とした場合、活性化と同時にゲッタリングを行うことができる。ここでのゲッタリングはソース領域またはドレイン領域に添加したリンによるゲッタリングである。また、結晶化の前に添加した結晶成長を助長させる金属元素は、結晶化後にゲッタリングを行い結晶質半導体膜中から除去または低減することが望ましい。

【0078】以降の工程は、層間絶縁膜316を形成し、水素化を行って、ソース領域、ドレイン領域に達するコンタクトホールを形成し、ソース電極317、ドレイン電極318を形成してTFTを完成させる(図4(F))。

【0079】こうして得られたTFTは、粒径が大きく、かつ高配向率を有する第3の結晶質半導体膜310を用いてチャネル形成領域317を形成していることから、均一性が高く、基板上に形成されたTFT間のバラツキを小さくすることができる。

【0080】(実施例3)ここでは、画素部を有するア

クティブマトリクス基板を用いた液晶表示装置を作製する方法について図 5～図 10 を用いて説明する。

【0081】TFT をスイッチング素子として用いるアクティブマトリクス型液晶表示装置は、画素電極がマトリクス状に配置された基板（アクティブマトリクス基板）と、対向電極が形成された対向基板とを液晶層を介して対向配置した構造となっている。両基板間はスペーサ等を介して所定の間隔に制御され、画素部の外周部にシール材を用いることで液晶層を封入している。

【0082】以下にアクティブマトリクス基板の作製例を示す。

【0083】まず、絶縁表面を有する基板 401 上に導電膜を形成し、パターニングを施すことにより走査線 402 を形成する。この走査線 402 は後に形成される活性層を光から保護する遮光層としても機能する。ここでは基板 401 として石英基板を用い、走査線 402 としてポリシリコン膜（膜厚 75 nm）とタングステンシリサイド（W-Si）膜（膜厚 150 nm）の積層構造を用いる。また、ポリシリコン膜はタングステンシリサイドから基板への汚染を保護するものである。

【0084】次に、走査線 402 を覆う絶縁膜 403 a、403 b を膜厚 100～1000 nm（代表的には 300～600 nm）で形成する（図 5（A））。ここではプラズマ CVD 法を用いた膜厚 100 nm の酸化シリコン膜と減圧 CVD 法（LPCVD 法）を用いた膜厚 480 nm の酸化シリコン膜を積層することにより形成する。

【0085】また、絶縁膜 403 b を形成した後、絶縁膜表面を化学的及び機械的に研磨する処理（代表的には CMP 技術）等により平坦化してもよい。例えば、絶縁膜表面の最大高さ（Rmax）が 0.5 μ m 以下、好ましくは 0.3 μ m 以下となるようにする。

【0086】次に、非晶質半導体膜を膜厚 10～100 nm で形成する。なお、ここで形成される非晶質半導体膜（アモルファスシリコン膜）は、LPCVD 法により形成され、本実施例においては、第 1 の非晶質半導体膜と呼ぶことにする。また、第 1 の非晶質半導体膜 404 は膜厚 53 nm として形成する。なお、半導体膜の材料としては珪素または、珪素ゲルマニウム（SiGe）合金などで形成することができる。

【0087】さらに、第 1 の非晶質半導体膜 404 を覆って絶縁膜 405 を形成する。本実施例では、膜厚 50 nm の酸化珪素膜を形成し、パターニングを行って所望の形状の絶縁膜 405 を形成する（図 5（B））。なお、絶縁膜 405 を形成した後の画素上面図を図 5（B2）に示す。図 5（B2）において、点線 A-A' で切断した断面図が図 5（B1）に相当する。

【0088】次に、第 1 の非晶質半導体膜 404 の露出部分と絶縁膜 405 を覆って第 2 の非晶質半導体膜 406 を形成する。そして、第 1 の非晶質半導体膜 404 と

第 2 の非晶質半導体膜 406 を結晶化する。本実施例では、非晶質シリコン膜に対して結晶化を助長する金属元素を全面に添加し、熱結晶化法により非晶質半導体膜を結晶化する。

【0089】なお、金属元素としては、Ni、Pd または鉛等の金属元素があり、添加の方法は、プラズマ処理法や、蒸着法、イオン注入法、スパッタ法、溶液塗布法等を用いることができる本実施例では、酢酸ニッケル水溶液を（重量換算濃度 3 ppm、体積 10 ml）第 2 の非晶質半導体膜 406 表面にスピンコート法にて塗布する。

【0090】そして、熱処理を行って非晶質半導体膜の結晶化を行う。この熱処理はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400～700℃、代表的には 500～600℃で、4～24 時間程度行えばよい。また、熱アニール法の他の熱処理としてラピッドサーマルアニール法（RTA 法）や GRTA 法等を用いてもよい。本実施例では、熱処理（570℃、24 時間）を行い、結晶質珪素膜を形成する。

【0091】なお、本実施例においては、第 2 の非晶質半導体膜 406 上に結晶化を助長する金属元素が添加され加熱による結晶化を行っているが、第 2 の非晶質半導体膜 406 と第 1 の非晶質半導体膜 404 は、図 5

（C）の領域 a（407）において、接して形成されているので、結晶化の際に第 1 の非晶質半導体膜 404 も結晶化されるため、第 1 の非晶質半導体膜 404 は、第 1 の結晶質半導体膜 408 となり、第 2 の非晶質半導体膜 406 は第 2 の結晶質半導体膜 410 となる。

【0092】この後、TFT の活性層となる第 1 の結晶質半導体膜 408 から金属元素（Ni）のゲッタリングを行う。そこで、図 6（A）に示すように、第 2 の結晶質半導体膜 410 上に燐（P）またはアルゴン（Ar）といった不純物を添加する。なお、この時、先に形成された絶縁膜 405 がマスクとなるため第 1 の結晶質半導体膜 408 の一部であって、絶縁膜 405 に覆われていない領域 b（409）にも燐（P）またはアルゴン（Ar）が添加され、ゲッタリングサイトを形成することができる。不純物を添加した後で、熱処理（窒素雰囲気下で 600℃、12 時間）を行うことにより、結晶質半導体膜中に存在する金属元素（Ni）をゲッタリングサイトに移動させることができる。

【0093】次に、不純物が添加された第 1 の結晶質半導体膜 408 の一部である領域 b（409）および第 2 の結晶質半導体膜 410 をエッチングにより除去する（図 6（B））。さらに、絶縁膜 405 を除去することにより、膜中に存在する結晶化を促進する金属元素を結晶化直後よりも低減させた第 1 の結晶質半導体膜 411 を得ることができる。

【0094】なお、本実施例では、第1の結晶質半導体膜411上に新たに絶縁膜を形成し、熱処理を行うことにより第1の結晶質半導体膜411の上部を熱酸化させる。このような熱処理を行うことにより結晶内部の粒内欠陥を減少させることができるので、第1の結晶質半導体膜411の結晶性を向上させることができる。具体的には、減圧CVD装置で20nmの酸化珪素膜を成膜した後、ファーネスアニール炉で熱処理を行う。この処理により、第1の結晶質半導体膜411の上部は酸化される。

【0095】そして、酸化珪素膜および第1の結晶質半導体膜411の酸化した部分をエッチングすると共にパターニングを行い、第1の結晶質半導体膜411の不要な部分を除去することにより、結晶性の向上した半導体層412が得られる(図6(C1))。なお、半導体層412を形成した後の画素上面図を図6(C2)に示す。図6(C2)において、点線A-A'で切断した断面図が図6(C1)に相当する。

【0096】次に、保持容量を形成するため、マスク413を形成して半導体層412の一部(保持容量とする領域)414にリンをドーピングする(図7(A))。

【0097】次に、マスク413を除去し、半導体層412を覆う絶縁膜を形成した後、マスク415を形成して保持容量とする領域414上の絶縁膜を除去する(図7(B))。

【0098】次に、マスク415を除去し、新たに絶縁膜(ゲート絶縁膜)416aを成膜する。ここで新たな絶縁膜を成膜することにより最終的なゲート絶縁膜の膜厚は80nmとなった。なお、保持容量とする領域上に他の領域より薄い絶縁膜416bを形成する(図7(C1))。ここでの画素上面図を図7(C2)に示す。図7(C2)において、点線B-B'で切断した断面図が図7(C1)に相当する。また、図7中の鎖線内で示した領域は、薄い絶縁膜416bが形成されている部分である。

【0099】次に、TFETのチャネル領域となる領域にp型またはn型の不純物元素を低濃度に添加するチャネルドーピング工程を全面または選択的に行う。このチャネルドーピング工程は、TFETしきい値電圧を制御するための工程である。なお、ここではジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドーピング法でボロンを添加した。もちろん、質量分離を行うイオンインプラントーション法を用いてもよい。

【0100】次に、絶縁膜416a、及び絶縁膜403a、403b上にマスク417を形成し、走査線402に達するコンタクトホールを形成する(図8(A))。そして、コンタクトホールの形成後、マスクを除去する。

【0101】次に、導電膜を形成し、パターニングを行ってゲート電極418および容量配線419を形成す

る。(図8(B))ここでは、リンがドーピングされたシリコン膜(膜厚150nm)とタングステンシリサイド(膜厚150nm)との積層構造を用いた。なお、保持容量は、絶縁膜416bを誘電体とし、容量配線419と半導体層412の一部とで構成されている。

【0102】次に、ゲート電極418および容量配線419をマスクとして自己整合的にリンを低濃度に添加する(図8(C1))。ここでの画素上面図を図8(C2)に示す。図8(C2)において、点線C-C'で切断した断面図が図8(C1)に相当する。この低濃度に添加された領域のリンの濃度が、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、代表的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ となるように調整する。

【0103】さらに、マスク420を形成してリンを高濃度に添加し、ソース領域またはドレイン領域となる高濃度不純物領域421を形成する。(図9(A))この高濃度不純物領域のリンの濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$)となるように調整する。なお、半導体層412のうち、ゲート電極418と重なる領域はチャネル形成領域422となり、マスク420で覆われた領域は低濃度不純物領域423となりLDD領域として機能する。そして、不純物元素の添加後、マスク420を除去する。

【0104】なお、ここでは図示しないが、画素と同一基板上に形成される駆動回路に用いるpチャネル型TFETを形成するために、マスクでnチャネル型TFETとなる領域を覆い、ボロンを添加してソース領域またはドレイン領域を形成する。

【0105】次に、マスク420を除去した後、ゲート電極418および容量配線419を覆うパッシベーション膜424を形成する。このパッシベーション膜424は、ゲート電極418の酸化を防ぐとともに、後の平坦化の工程でエッチングストッパーとして機能する。ここでは、酸化シリコン膜を70nmの膜厚で形成した。次いで、半導体層412にそれぞれの濃度で添加されたn型またはp型不純物元素を活性化するための熱処理工程を行う。ここでは950℃、30分の加熱処理を行う。

【0106】そして、有機樹脂材料またはシリコン材料からなる層間絶縁膜425を形成する。ここでは膜厚1μmの酸化窒化珪素膜を用い、エッチバックを行って平坦化を行った。次に、半導体層412に達するコンタクトホールを形成した後、電極426及びソース配線427を形成する。本実施例では電極426及びソース配線427を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする(図9(B1))。なお、図9(B2)において点線D-D'で切断した断面図が図9(B1)に相当する。

【0107】そして、水素化処理を行った後、酸化窒化

10

20

30

40

50

珪素膜（膜厚500nm）とBCB（ベンゾシクロブテン）（膜厚1μm）と（膜厚300nm）との積層からなる層間絶縁膜428を形成する（図10（A1））。次に、層間絶縁膜428上に遮光性を有する導電膜（膜厚100nm）を成膜し、パターンニングを行って遮光層429を形成する。さらに、膜厚150nmの酸化窒化珪素膜からなる層間絶縁膜430を形成する。

【0108】次に、電極426に達するコンタクトホール形成する。そして、100nmの透明導電膜（ここでは酸化インジウム・スズ（ITO）膜）を形成した後、パターンニングして画素電極431、432を形成する。図10（A2）において、点線E-E'で切断した断面図が図10（A1）に相当する。

【0109】こうして画素部には、表示領域（画素サイズ26μm×26μm）の面積（開口率76.5%）を確保しつつ、nチャネル型TFTでなる画素TFTが形成され、十分な保持容量（51.5fF）を得ることができる。

【0110】なお、本実施例は一例であって本実施例の工程に限定されないことはいうまでもない。例えば、各導電膜としては、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素、または前記元素を組み合わせた合金膜（代表的には、Mo-W合金、Mo-Ta合金）を用いることができる。また、各絶縁膜としては、酸化シリコン膜や窒化シリコン膜や酸化窒化シリコン膜や有機樹脂（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB等）膜を用いることができる。

【0111】また、こうして得られたTFTの特性は、良好な電気特性値を示した。なお、図11には、pチャネル型TFTの電界効果移動度に関する特性を示し、図12には、nチャネル型TFTの電界効果移動度に関する特性を示す。なお、図11、図12において、グラフの横軸に移動度を取り、縦軸には累積度数分布を示している。また、いずれの場合も従来の結晶化方法（従来法）により得られた結晶質半導体膜を活性層に用いたTFT（チャネル形成領域の長さ（L）／チャネル形成領域の幅（W）＝50μm／50μm）と本発明の結晶化方法（本発明）により得られた結晶質半導体膜を活性層に用いたTFT（L／W＝50μm／50μm）との比較を行っている。

【0112】なお、図11、図12のいずれの場合においても、本発明を用いて形成されたTFTに関するグラフの分布は、従来法を用いて形成されたTFTに比べてその傾きが大きくなっていると共に、高い移動度において分布している。このことから、本発明を用いて形成されたTFTは、pチャネル型TFT、およびnチャネル型TFTのいずれの場合においても従来法を用いて形成されたTFTよりもバラツキが小さく、かつ移動度が高

いという優れた特性を有することが確認された。

【0113】（実施例4）本実施例では、実施例3のアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図13を用いる。

【0114】まず、実施例3に従い、図13の状態のアクティブマトリクス基板を得た後、図13のアクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成する。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0115】次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設ける。そして、このカラーフィルタと遮光層とを覆う平坦化膜を設ける。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施す。

【0116】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた後、公知の技術を用いてFPCを貼りつける。

【0117】このようにして得られた液晶モジュールの構成を図13の上面図を用いて説明する。

【0118】アクティブマトリクス基板1301の中央には、画素部1304が配置されている。画素部1304の上側には、ソース信号線を駆動するためのソース信号線駆動回路1302が配置されている。また、画素部1304の左右には、ゲート信号線を駆動するためのゲート信号線駆動回路1303が配置されている。本実施例に示した例では、ゲート信号線駆動回路1303は画素部に対して左右対称配置としているが、これは片側のみの配置でも良く、液晶モジュールの基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、図13に示した左右対称配置が望ましい。

【0119】各駆動回路への信号の入力は、フレキシブルプリント基板（Flexible Print Circuit：FPC）1305から行われる。FPC1305は、基板1301の所定の場所まで配置された配線に達するように、層間

絶縁膜および樹脂膜にコンタクトホールを開口し、接続電極（図示せず）を形成した後、異方性導電膜等を介して圧着される。本実施例においては、接続電極はITOを用いて形成する。

【0120】駆動回路、画素部の周辺には、基板外周に沿ってシール剤1307が塗布され、あらかじめアクティブマトリクス基板上に形成されたスペーサ（図示せず）によって一定のギャップ（基板1301と対向基板1306との間隔）を保った状態で、対向基板1306が貼り付けられる。その後、シール剤1307が塗布されてい

ない部分より液晶素子が注入され、封止剤1308によって密閉される。以上の工程により、液晶モジュールが完成する。

【0121】また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個のICを用いてもよい。

【0122】（実施例5）本実施例では、本発明の作製方法を用いて作製された結晶質半導体膜を活性層に用いて形成されたTFTを画素部（スイッチング用TFT、電流制御用TFT）および駆動回路部（ソース側駆動回路、ゲート側駆動回路）に含むアクティブマトリクス型の発光装置について図16を用いて説明する。

【0123】図14（A）は、発光装置を示す上面図、図14（B）は図14（A）をA-A'で切断した断面図である。点線で示された1401はソース側駆動回路、1402は画素部、1403はゲート側駆動回路である。また、1404は封止基板、1405はシール剤であり、シール剤1405で囲まれた内側は、空間1407になっている。

【0124】なお、1408はソース側駆動回路1401及びゲート側駆動回路1403に入力される信号を送送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）1409からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていてもよい。

【0125】次に、断面構造について図14（B）を用いて説明する。基板1410上には駆動回路及び画素部が形成されているが、ここでは、駆動回路としてソース側駆動回路1401と画素部1402が示されている。

【0126】なお、ソース側駆動回路1401はnチャネル型TFT1413とpチャネル型TFT1414とを組み合わせたCMOS回路が形成される。また、駆動回路を形成するTFTは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成してもよい。また、本実施の形態では、基板上に駆動回路を形成したドライバ一体型を示すが、必ずしもその必要はなく、基板上ではなく外部に形成することもできる。

【0127】また、画素部1402は、ソース側駆動回路からの映像信号が入力されるスイッチング用TFT1

411と、スイッチング用TFT1411と接続され、かつ発光素子の輝度を制御する機能を有する電流制御用TFT1412と、電流制御用TFT1411のドレインに電気的に接続された第1の電極（陽極）1413を含む複数の画素により形成される。

【0128】また、第1の電極（陽極）1413の両端には絶縁層1414が形成され、第1の電極（陽極）1413上には有機化合物層1415が形成される。さらに、有機化合物層1415上には第2の電極（陰極）1416が形成される。これにより、第1の電極（陽極）1413、有機化合物層1415、及び第2の電極（陰極）1416からなる発光素子1418が形成される。

【0129】さらに、第2の電極（陰極）1416上に補助配線1417が形成される。補助配線1417は、接続配線1417と電気的に接続されており、FPC1409を介して外部電源と電気的に接続されている。

【0130】また、基板1410上に形成された発光素子1418を封止するためにシール剤1405により封止基板1404を貼り合わせる。なお、封止基板1404と発光素子1418との間隔を確保するために樹脂膜からなるスペーサを設けてもよい。そして、シール剤1405の内側の空間1407には窒素等の不活性気体が充填されている。なお、シール剤1405としてはエポキシ系樹脂を用いるのが好ましい。また、シール剤1405はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、空間1407の内部に酸素や水を吸収する効果をもつ物質を含有させてもよい。

【0131】また、本実施の形態では封止基板1404を構成する材料としてガラス基板や石英基板の他、FRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。また、シール剤1405を用いて封止基板1404を接着した後、さらに側面（露呈面）を覆うようにシール剤で封止することも可能である。

【0132】以上のようにして発光素子を空間1407に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素といった有機化合物層の劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0133】なお、本実施の形態の構成は、実施例1または実施例2において作製されたTFTを用いて実施することが可能である。

【0134】（実施例6）本発明を用いて形成されたTFTは、様々なモジュール（アクティブマトリクス型液晶モジュール、アクティブマトリクス型発光モジュール、アクティブマトリクス型ECモジュール）に用いることができる。すなわち、それらを表示部に組み込むことにより電気器具を完成させることができる。

【0135】そのような電気器具として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光素子を有する発光装置を用いることが好ましい。それら電気器具の具体例を図15に示す。

【0136】図15（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明により作製したTFTを用いたモジュールをその表示部2003に用いることにより作製される。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0137】図15（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明により作製したTFTを用いたモジュールをその表示部2102に用いることにより作製される。

【0138】図15（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により作製したTFTを用いたモジュールをその表示部2203に用いることにより作製される。

【0139】図15（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明により作製したTFTを用いたモジュールをその表示部2302に用いることにより作製される。

【0140】図15（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明により作製したTFTを用いたモジュールをこれら表示部A、B2403、2404に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0141】図15（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体250

1、表示部2502、アーム部2503を含む。本発明により作製したTFTを用いたモジュールをその表示部2502に用いることにより作製される。

【0142】図15（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明により作製したTFTを用いたモジュールをその表示部2602に用いることにより作製される。

【0143】ここで図15（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明により作製したTFTを用いたモジュールをその表示部2703に用いることにより作製される。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0144】なお、将来的に有機材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0145】以上の様に、本発明の作製方法を用いて作製されたTFTを用いたモジュールの適用範囲は極めて広く、あらゆる分野の電気器具を作製することが可能である。また、本実施例における電気器具は実施例1～実施例5のいずれかを自由に組み合わせて実施することが可能である。

【0146】

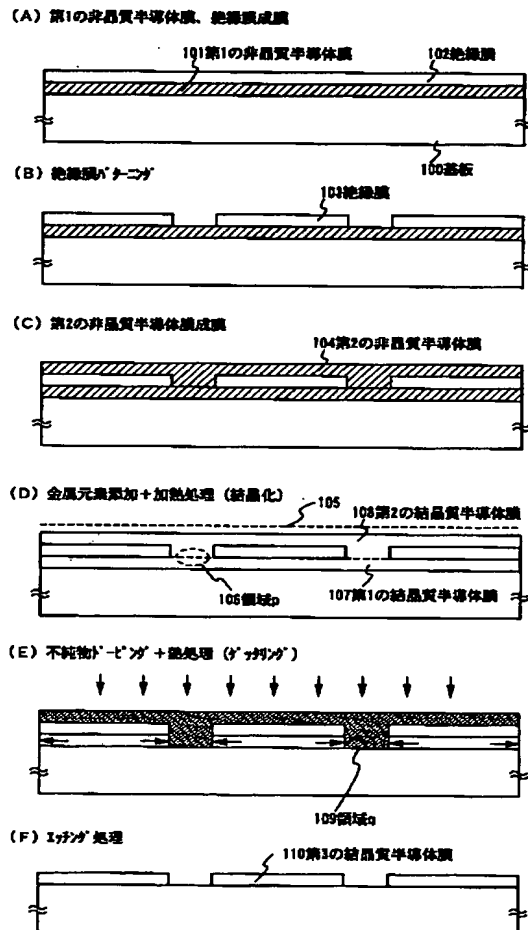
【発明の効果】本発明の非晶質半導体膜の結晶化において、膜中酸素濃度の高い非晶質半導体膜と膜中酸素濃度の低い非晶質半導体膜を接して形成し、膜中酸素濃度の高い非晶質半導体膜に結晶化を促進するための金属元素を添加して結晶化を行うことにより、結晶核が発生しやすいという特徴を活かして結晶化を促進させ、さらに、膜中酸素濃度の高い非晶質半導体膜と接して形成される膜中酸素濃度の低い非晶質半導体膜を結晶化させることにより、従来の結晶化法に比べて金属元素の添加量を低減させることができる。さらに、金属元素の添加量を低減させたにも拘わらず膜中酸素濃度の低い非晶質半導体膜からなる結晶質半導体膜を得ることができるため結晶粒径が大きい膜を得ることができる。また、この結晶質半導体膜は非常に結晶配向率の高い結晶質半導体膜であった。

【0147】さらに、このような、結晶質半導体膜を活性層に用いて薄膜トランジスタを形成することにより、電気的な特性に優れた薄膜トランジスタ、およびこれらの薄膜トランジスタで構成された回路を有する半導体装置を形成することができる。

【図面の簡単な説明】

- 【図1】 本発明の結晶化の工程を説明する図。
 【図2】 結晶化された結晶質シリコン膜表面の観察写真図。
 【図3】 TFTの作製工程を説明する図。
 【図4】 TFTの作製工程を説明する図。
 【図5】 アクティブマトリクス型の液晶表示装置の作製工程を説明する図。
 【図6】 アクティブマトリクス型の液晶表示装置の作製工程を説明する図。
 【図7】 アクティブマトリクス型の液晶表示装置の作製工程を説明する図。
 【図8】 アクティブマトリクス型の液晶表示装置の作製工程を説明する図。
 【図9】 アクティブマトリクス型の液晶表示装置の作製工程を説明する図。
 【図10】 アクティブマトリクス型の液晶表示装置の作製工程を説明する図。
 【図11】 pチャネル型TFT ($L/W=50/5$

【図1】

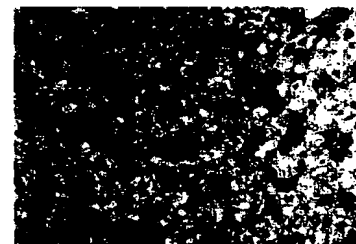


- 0) の電界効果移動度を示すグラフ。
 【図12】 nチャネル型TFT ($L/W=50/50$) の電界効果移動度を示すグラフ。
 【図13】 液晶表示装置の外観を説明する図。
 【図14】 発光装置の外観を説明する図。
 【図15】 電気器具の一例を示す図。
 【図16】 EBSF法により測定された逆極点図を示す図。

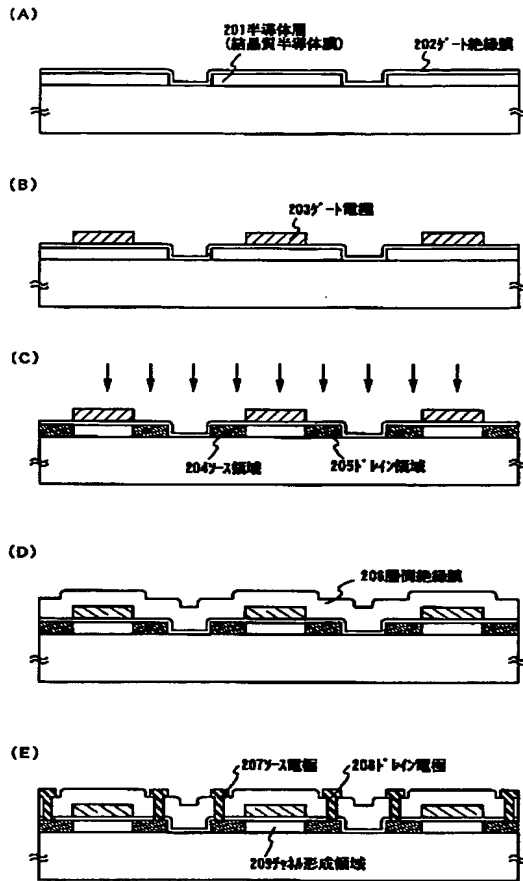
【符号の説明】

- 100 基板
 101 第1の非晶質半導体膜
 102、103 絶縁膜
 104 第2の非晶質半導体膜
 105 金属元素
 107 第1の結晶質半導体膜
 108 第2の結晶質半導体膜
 110 第3の結晶質半導体膜

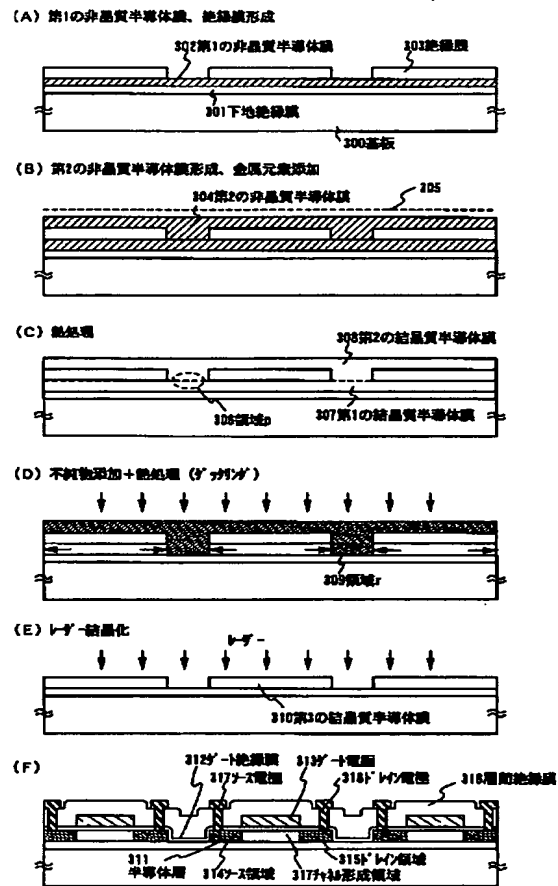
【図2】

(A) 膜中酸素濃度: $3 \times 10^{17} \text{ atoms/cm}^2$ (B) 膜中酸素濃度: $9 \times 10^{17} \text{ atoms/cm}^2$ 

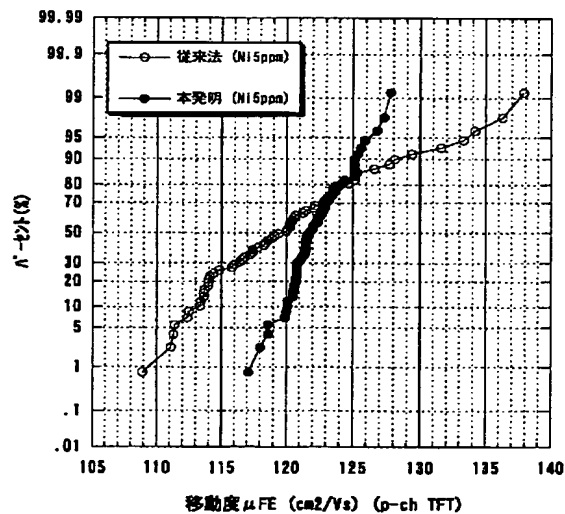
【図 3】



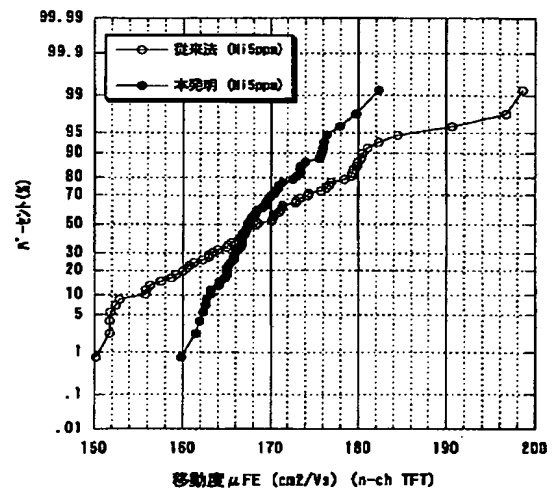
【図 4】



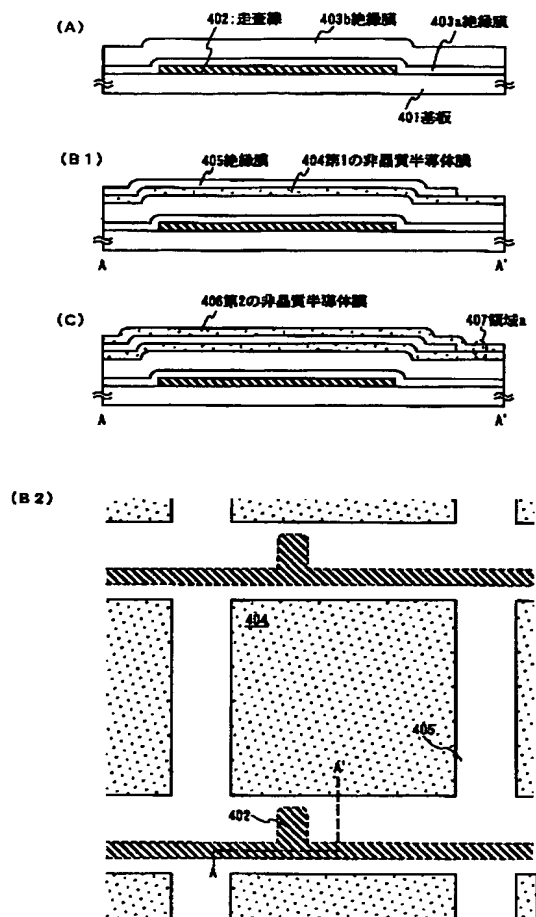
【図 11】



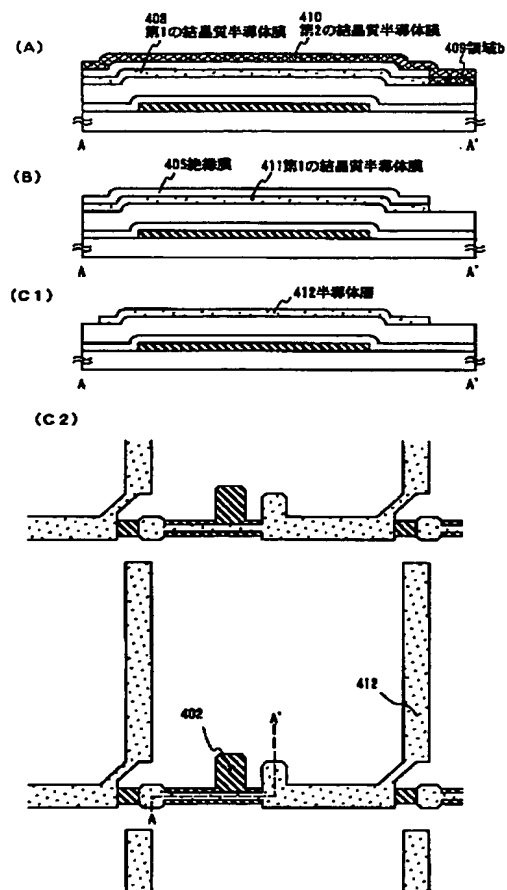
【図 12】



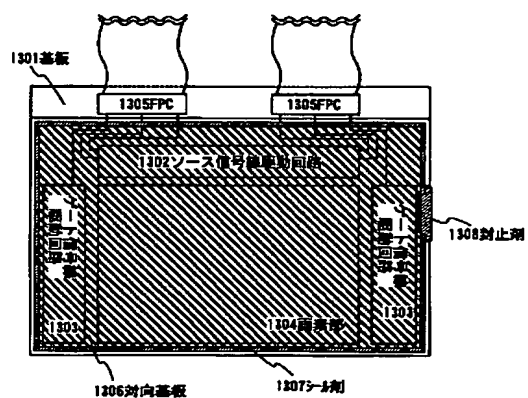
【図 5】



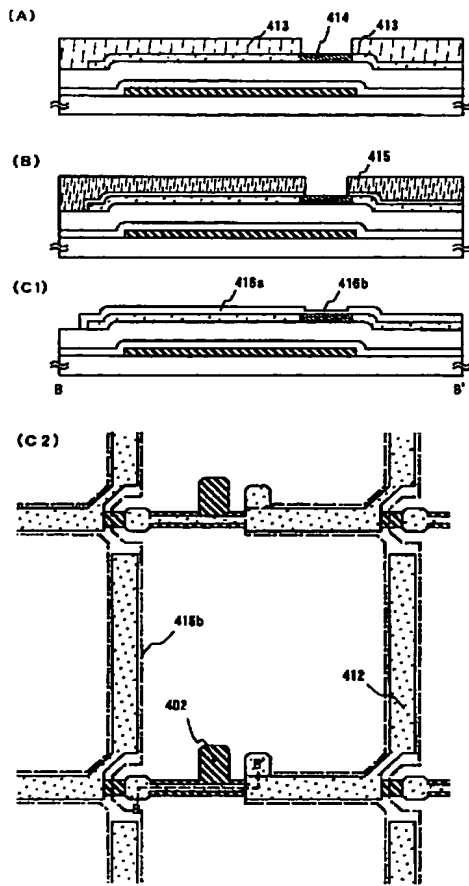
【図 6】



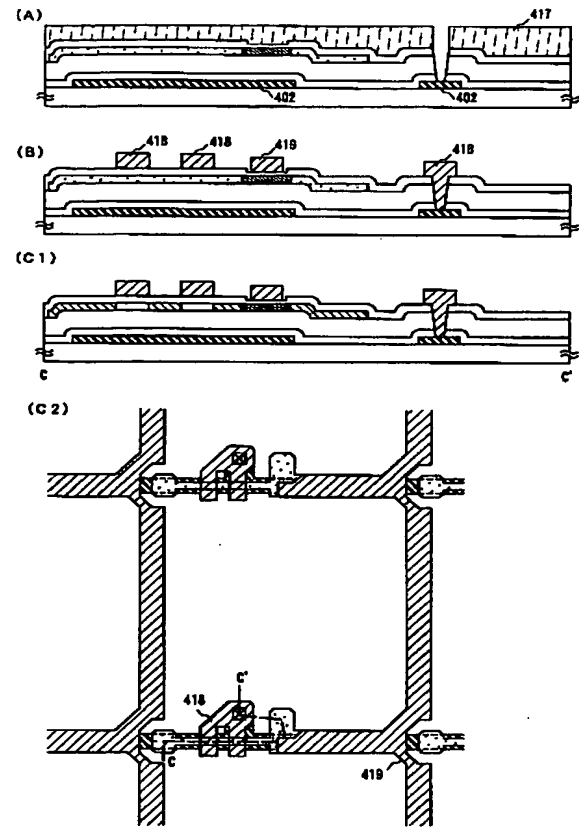
【图 13】



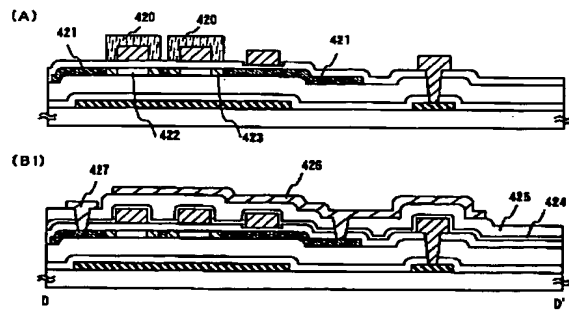
【図 7】



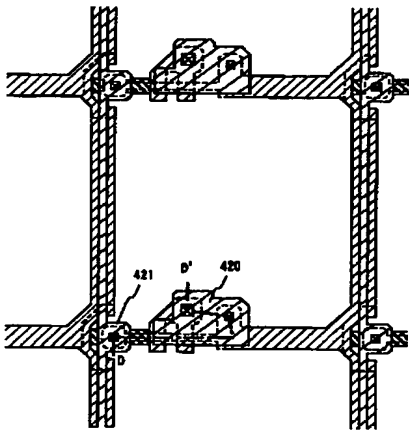
【図 8】



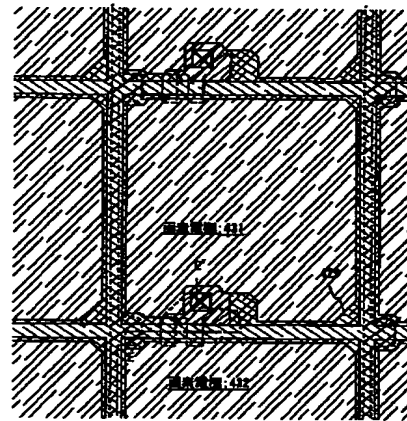
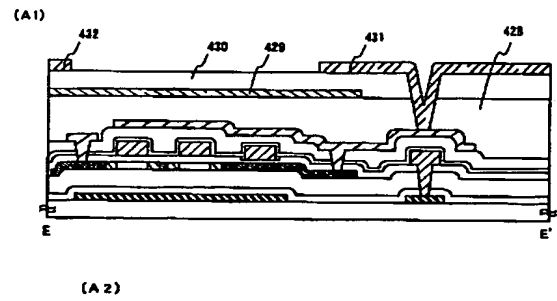
【図 9】



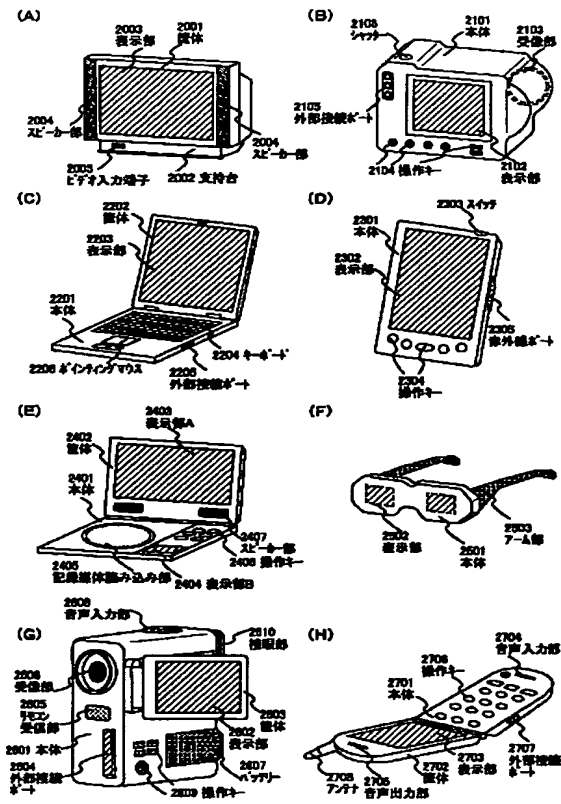
(B 2)



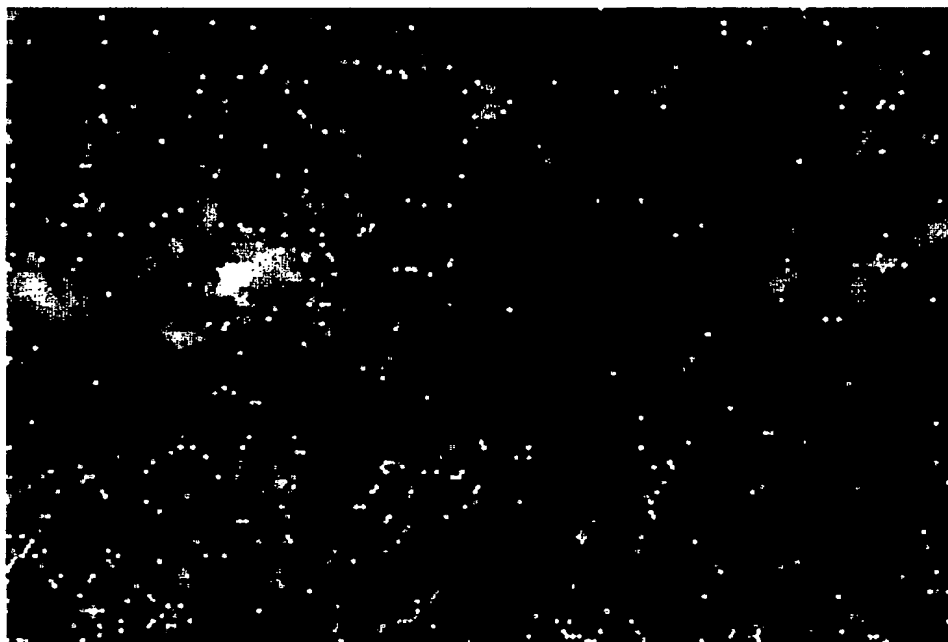
【図 10】



【図15】



【図 1 6】



14.00 μm = 35 steps IPF [001]

EBSP法による逆極点マップ
3 ppmのNi溶液を添加して得られた結晶質半導体膜（サンプル2）

フロントページの続き

(51) Int. Cl.⁷

識別記号

FI
H 0 1 L 29/78

ターマコード（参考）

6 1 8 G
6 2 7 Z
6 2 0

Fターム(参考) 2H092 JA24 JA34 JA37 JA41 JB24
JB33 JB56 KA04 KA05 KA10
MA08 MA13 MA18 MA25 MA27
MA30 NA01 NA22 NA27 NA29
PA01 PA02 PA04 PA13
5F052 AA02 AA11 AA17 AA24 BA02
BB01 BB04 BB05 BB06 BB07
DA01 DA02 DA03 DB02 DB03
EA12 EA16 FA01 FA06 FA19
HA01 JA01 JA04
5F110 AA01 BB02 BB04 CC02 DD02
DD03 DD12 DD13 DD14 DD15
DD17 EE05 EE09 EE14 GG01
GG02 GG13 GG17 GG25 GG32
GG33 GG34 GG45 GG47 GG51
GG52 HJ01 HJ04 HJ23 HL04
HL06 HL07 HL12 HL23 HM15
NN03 NN04 NN22 NN23 NN27
NN42 NN44 NN45 NN48 NN73
PP01 PP02 PP03 PP04 PP10
PP13 PP34 PP38 QQ11 QQ19
QQ21 QQ28